

(11)特許出願公表番号

特表2001-516926

(P2001-516926A)

(43)公表日 平成13年10月2日(2001.10.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 B 5 B 0 7 7
1/08		1/04	3 2 0 A 5 B 0 7 9
1/12			3 4 0 D

審查請求 未請求 予備審查請求 有 (全 42 頁)

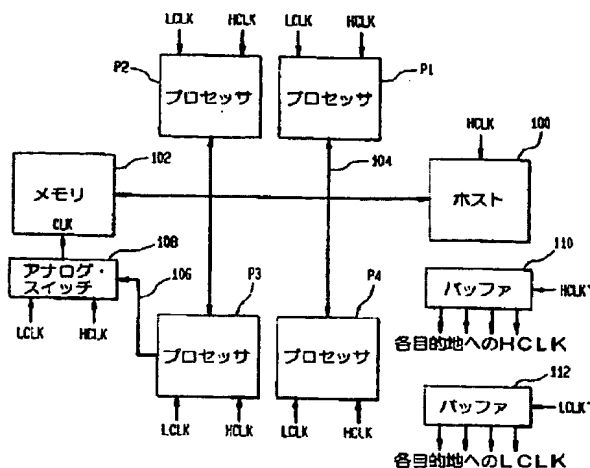
(21)出願番号	特願2000-512150(P2000-512150)	(71)出願人	アナログ デバイセス インコーポレーテッド
(86) (22)出願日	平成10年9月16日(1998.9.16)		ANALOG DEVICES, INCORPORATED
(85)翻訳文提出日	平成12年3月16日(2000.3.16)		アメリカ合衆国 02062 マサチューセッツ州 ノーウッド ワン テクノロジーウェイ (番地の表示なし)
(86)国際出願番号	PCT/US98/19277	(72)発明者	ガード, ダグラス
(87)国際公開番号	WO99/14683		アメリカ合衆国マサチューセッツ州02030, ドーバー, ハートフォード・ストリート 35エイ
(87)国際公開日	平成11年3月25日(1999.3.25)	(74)代理人	弁理士 社本 一夫 (外5名)
(31)優先権主張番号	08/931, 665		Fターム(参考) 5B077 FF01 GG05 GG16 GG32
(32)優先日	平成9年9月16日(1997.9.16)		5B079 AA10 BA01 BC10
(33)優先権主張国	米国 (US)		
(81)指定国	EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP		

(54) 【発明の名称】 デジタル信号プロセッサ・システムのためのクロッキング方式

(57) 【要約】

デジタル信号処理システムが1群のプロセッサと1つのホストとを含む。ホストは、このホストを各プロセッサと相互接続している外部バス・システムを介して各プロセッサにアクセスすることができる。各プロセッサの外部ポートは、ローカル・クロック周波数とホスト・クロック周波数との一方に基づいて動作する。ローカル・クロック周波数とホスト・クロック周波数とは相互に非同期である。ホストは、ホスト・クロック周波数で動作する。1つのプロセッサにホストがアクセスすると、各プロセッサの外部パラレル・ポートの動作クロック周波数は、ホスト・クロック周波数で動作するように自動的に制御される。ある実施例では、各プロセッサはまた、ホスト・クロック周波数とは非同期であるローカル・クロック周波数の整数倍であるコア・クロック周波数で動作するコア・プロセッサを含む。従って、コア・プロセッサの動作速度と外部パラレル・ポートの動作速度とを独立に最適化することができる。

**[FIG. 1]**



**【特許請求の範囲】**

**【請求項1】** デジタル信号プロセッサであって、

ホスト・クロック周波数又はローカル・クロック周波数で動作可能な外部パラレル・ポートと、

前記外部パラレル・ポートに結合されており、ローカル・クロック周波数の整数倍であるコア・クロック周波数で動作するコア・プロセッサと、

を備えており、前記ローカル・クロック周波数とホスト・クロック周波数とは非同期であることを特徴とするデジタル信号プロセッサ。

**【請求項2】** 請求項1記載のデジタル信号プロセッサにおいて、ユーザは前記外部パラレル・ポートの動作のために前記ホスト・クロック周波数と前記ローカル・クロック周波数との間で選択することができることを特徴とするデジタル信号プロセッサ。

**【請求項3】** 請求項1記載のデジタル信号プロセッサにおいて、前記外部パラレル・ポートと前記コア・プロセッサとの間に結合されておりコマンド信号を受け取り、コア・クロック信号に続く遅延された時間周期を前記コマンド信号にラッチする再同期回路を更に含むことを特徴とするデジタル信号プロセッサ。

**【請求項4】** デジタル信号処理システムであって、

各プロセッサが外部ポートを介して外部バス・システムによって別のプロセッサに接続されている複数のプロセッサであって、各プロセッサの外部ポートはローカル・クロック周波数、ホスト・クロック周波数又は前記ローカル・クロック周波数若しくはホスト・クロック周波数の整数倍で動作する、複数のプロセッサと、

前記複数のプロセッサの中の各プロセッサと前記外部バス・システムを介して接続されており、前記ホスト・クロック周波数で動作し、前記外部バス・システムを介して各プロセッサにアクセスすることができるホストと、

を備えており、前記プロセッサの中の1つにホストがアクセスする際には、各プロセッサの外部ポートのクロック周波数は前記ホスト・クロック周波数で動作するように自動的に制御されることを特徴とするデジタル信号処理システム。

**【請求項5】** 請求項4記載のデジタル信号処理システムにおいて、前記ホ

ストと前記プロセッサの中の少なくとも1つとに前記外部バス・システムを介して接続された外部メモリを更に含んでおり、前記メモリは前記ローカルクロック周波数又は前記ホスト・クロック周波数のどちらかで動作し、ホスト・アクセスの際には、前記メモリのクロック周波数は前記ホスト・クロック周波数で動作するように自動的にスイッチングされることを特徴とするデジタル信号処理システム。

【請求項6】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサの各外部パラレル・ポートの動作のクロック周波数はユーザによって制御されることを特徴とするデジタル信号処理システム。

【請求項7】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサの中に配置されておりローカル・クロックとホスト・クロックとを受け取り、前記外部パラレル・ポートの動作のために一方を選択するスイッチを更に含むことを特徴とするデジタル信号処理システム。

【請求項8】 請求項5記載のデジタル信号処理システムにおいて、前記メモリのクロック周波数はマスタ・プロセッサによってどちらに接続されるべきか制御されることを特徴とするデジタル信号処理システム。

【請求項9】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサは前記ローカル・クロック周波数の整数倍で動作するコア・プロセッサを含み、前記ローカル・クロック周波数は前記ホスト・クロック周波数と非同期であることを特徴とするデジタル信号処理システム。

【請求項10】 請求項9記載のデジタル信号処理システムにおいて、各プロセッサは前記コア・プロセッサと前記外部パラレル・ポートとの間に結合されておりコマンド信号を受け取りコア・クロック信号に続く遅延された時間周期を前記コマンド信号にラッチする再同期回路を更に含むことを特徴とするデジタル信号処理システム。

【請求項11】 デジタル信号を処理する方法であって、  
バス・システムを介してホストを複数のデジタル信号プロセッサに接続するステップと、

各プロセッサの外部ポートをローカル・クロック周波数、ホスト・クロック周

波数又は前記ローカル・クロック周波数若しくはホスト・クロック周波数の整数倍で動作させるステップと、

前記プロセッサの中の1つのホストによるアクセスの際には各プロセッサの外部ポートの動作を前記ホスト・クロック周波数に自動的にスイッチングするステップと、

を含む方法。

【請求項12】 請求項11記載の方法において、各デジタル信号プロセッサのコア・プロセッサを前記ローカル・クロック周波数の整数倍で動作させるステップであって、前記ローカル・クロック周波数は前記ホスト・クロック周波数と非同期であることを特徴とする方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、デジタル信号プロセッサに関し、更に詳しくは、ユニークな非同期クロッキング方式を有するデジタル信号処理システム及び方法に関する。

**【0002】****【従来の技術】**

デジタル信号プロセッサ(DSP)は、例えば、高速フーリエ変換、デジタル・フィルタリング、イメージ処理及び音声認識などのデジタル信号処理の応用例のパフォーマンスを最適化するように設計された特定用途向きのコンピュータである。デジタル信号処理の応用例は、リアルタイムでの動作、高い割り込み速度及び集中的な数値計算を特徴とするのが典型的である。更に、デジタル信号処理の応用例は、メモリ・アクセス動作の点で集中的であり大量のデータの入出力を要求する傾向を有する。従って、デジタル信号プロセッサの設計は、汎用コンピュータの場合とは非常に異なるものとなりうる。

**【0003】**

典型的なデジタル信号プロセッサは、デジタル信号処理において用いられるオペランドに加えてデジタル信号処理動作の命令を記憶する少なくとも1つのメモリと、このメモリに接続されておりそのような動作を実行するコア・プロセッサとを含む。更に、デジタル信号プロセッサは、典型的には、他のプロセッサ及び／又は外部デバイスとの通信をイネーブルし、他のプロセッサ及び／又は外部デバイスとの間のデータ転送をイネーブルする周辺の入出力(I/O)デバイスを含む。コア・プロセッサは、命令に基づきオペランドへのデジタル信号処理動作(すなわち、計算)を実行する何らかのタイプの計算ユニットを含む。多くの異なる計算方式やデータ記憶及び転送方式が、デジタル信号プロセッサの速度、精度、サイズ及びパフォーマンスを最適化するように開発されてきた。

**【0004】**

デジタル信号プロセッサは、一般には、1つの入力クロックの受信に基づいて動作する。この1つの入力クロックから、コア・プロセッサがこれに基づいて動

作するコア・プロセッサ・クロックと、I/Oデバイスがこれに基づいて動作するI/Oクロックとが導かれる。入力クロックとI/Oクロックとが同じ周波数に維持されることは珍しくない。

#### 【0005】

コア・プロセッサのクロックがこの入力クロックの整数倍であって、コア・プロセッサがI/Oデバイスとは異なる（典型的にはそれよりも高い）クロック周波数で動作することがあり得る。I/Oデバイスの速度は、それに基づいて当該I/Oデバイスが動作する外部の信号の速度によって制限をうける。これらの外部信号の速度は、外部デバイス及びバスの物理的な制約やキャパシタンス及びインダクタンスによって制限されうる。コア・プロセッサはそうのように制限されることはない。従って、コア・プロセッサは、別のより最適なクロック周波数で動作させることが好ましい。

#### 【0006】

デジタル信号プロセッサによっては、入力クロックに乗算してコア・プロセッサのクロックを得る比率（例えば、 $\times 2$ 、 $\times 2.5$ 、 $\times 3$ 、 $\times 3.5$ 、 $\times 4$ 、・・・）をユーザが選択することを可能にするものがある。これによって、ユーザは、特定のプロセッサにとって最良のコア・プロセッサの周波数のある制限された範囲内で選択することが可能となる。

#### 【0007】

##### 【発明が解決しようとする課題】

プロセッサの幾何学的外形が縮小するにつれて、内部的な速度経路は向上し、より高速な動作が可能になる。従って、特定のプロセッサにとって、そのプロセッサが動作することができる最適な速度は存在しない。現時点で使用可能なプロセッサにおける制限は、コア・プロセッサ周波数が使用可能な入力クロックとユーザが選択可能なコア・クロック比率とによって制限されるという点である。

#### 【0008】

デジタル信号処理システムにおいては、一群（すなわち、4つ、6つ又は8つ）のプロセッサが外部バス・システムによって相互接続される場合がある。ホスト・コンピュータはシステム内の各プロセッサにバス・システムを介して接続さ

れ、任意のプロセッサにアクセスすることができる。ホスト・コンピュータは、このプロセッサ群の中の各プロセッサの入力クロック周波数（I/Oクロック周波数）とは関係しない（非同期的に関係する）ホスト・クロック周波数で動作する。

#### 【0009】

ホストがいずれかのプロセッサへのアクセスを望むときには、ホスト・クロックとプロセッサのI/Oクロックとを同期させなければならず、さもなければ、非同期的なアクセスを可能にしなければならない。同期させるためには、ホストとプロセッサ群の中の各プロセッサとの間に何らかのタイプの外部同期インターフェースが必要となる。あるいは、非同期的なアクセスを提供する場合には、追加的な非同期的なプロセッサI/Oインターフェースが必要となる。現時点では、ホストを非同期的に動作してプロセッサにアクセスすることを可能にしようとする各アプローチには、複雑で高価な回路が必要となる。更に、これらのアプローチそれぞれはユーザが実現し使用するには困難であり得る。

#### 【0010】

本発明の一般的な目的は、プロセッサのクロッキング方式を向上させることである。

#### 【0011】

##### 【課題を解決しようとする課題】

本発明のある実施例は、デジタル信号プロセッサに関する。このデジタル信号プロセッサはローカル・クロックとシステム・クロックとを受け取るが、ローカル・クロック周波数とシステム・クロック周波数とは相互に非同期である可能性がある。コア・プロセッサは、ローカル・クロック周波数の整数倍であるコア・クロック周波数で動作する。コア・プロセッサに結合された外部パラレル・ポートは、システム・クロック周波数又はローカル・クロック周波数で動作可能である。

#### 【0012】

本発明のある実施例では、デジタル信号プロセッサは、更に、外部パラレル・ポートとコア・プロセッサとの間に結合され入力コマンド信号を受け取り有効な

ときにはそのコマンド信号にラッチする再同期化回路を含む。

#### 【0013】

本発明の別の実施例は、デジタル信号処理システムに関する。このシステムは、各プロセッサが外部ポートを介して外部バス・システムによって別のプロセッサに接続されている複数のプロセッサを含む。ホストは、外部バス・システムを介して複数のプロセッサの中の各プロセッサに接続され、ホスト・クロック周波数で動作する。ホストは、外部バス・システムを介して各プロセッサにアクセスすることができる。各プロセッサの外部バスは、ローカル・クロック周波数若しくはホスト・クロック周波数のいずれか、又は、ローカル・クロック周波数若しくはホスト・クロック周波数のいずれかの整数倍で動作する。ホスト・アクセスの際には、各プロセッサの外部ポートのクロック周波数は、ホスト・クロック周波数で動作するように自動的に制御される。

#### 【0014】

ある実施例では、このシステムは、ホストとプロセッサの中の少なくとも1つとに外部バス・システムを介して接続された外部メモリ・ユニットを更に含む。このメモリもまたローカル・クロック周波数又はホスト・クロック周波数のどちらかで動作する。ホストが1つのプロセッサ又は1つのメモリ・ユニットにアクセスする際には、メモリ・ユニットのクロック周波数もまた、ホスト・クロック周波数で動作するように自動的に制御される。

#### 【0015】

ある実施例では、各プロセッサの外部ポートの動作のクロック周波数はユーザによって制御される。

#### 【0016】

ある実施例では、各プロセッサは、ローカル・クロックとホスト・クロックとを受け取り外部パラレル・ポートの動作のために一方を選択するスイッチを更に含む。ある実施例では、このスイッチはマルチプレクサを含む。

#### 【0017】

ある実施例では、メモリ・ユニットのクロック周波数は、それが接続されているマスタ・プロセッサによって制御される。



**【0018】**

このシステムのある実施例では、システムの各プロセッサは、ローカル・クロック周波数の整数倍で動作するコア・プロセッサを含み、ローカル・クロック周波数はホスト・クロック周波数と非同期でありうる。この実施例では、各プロセッサは、コア・プロセッサと外部ポートとの間に結合されており有効なときには受け取ったコマンド信号にラッチする再同期回路を含む。

**【0019】**

本発明の別の実施例は、電流信号の処理方法に関する。この方法は、バス・システムを介してホストを複数のデジタル信号プロセッサに接続するステップと、各プロセッサの外部ポートをローカル・クロック周波数、ホスト・クロック周波数又はローカル・クロック周波数若しくはホスト・クロック周波数の整数倍で動作させるステップと、1つのプロセッサのホストによるアクセスの際には各プロセッサの外部ポートの動作をホスト・クロック周波数に自動的にスイッチングするステップと、を含む。

**【0020】**

ある実施例では、この方法は、各デジタル信号プロセッサのコア・プロセッサをシステム・クロック周波数と非同期であり得るローカル・クロック周波数の整数倍で動作させるステップを更に含む。

**【0021】**

本発明の特徴及び効果は、添付の図面と共に読まれるべき本発明に関する以下の詳細な説明と冒頭の特許請求の範囲とから容易に理解され明らかになる。

**【0022】****【発明の実施の形態】**

本発明の1つの実施例は、バス・システムによって相互接続された1群のデジタル信号プロセッサと、バス・システムを介してこれらのプロセッサの中の任意のプロセッサにアクセスすることができるホストとに関する。各プロセッサの周辺部分(periphery)はバス・システムに接続され、ローカル・クロック周波数とホスト・クロック周波数との一方で動作する。ホストはホスト・クロック周波数で動作しており、ホストがプロセッサの1つにアクセスするときには、各プロ

セッサの周辺部の動作クロック周波数はホスト・クロック周波数に自動的にスイッチングされる。

#### 【0023】

本発明の別の実施例は、コア・プロセッサを有するデジタル信号プロセッサに関する。コア・プロセッサはプロセッサの周辺部分とは非同期的に動作し得る。特に、外部パラレル・ポートなどのプロセッサの周辺部分は、ローカル・クロック周波数又はホスト・クロック周波数のいずれかで動作し、ユーザはこれら2つの間で選択することができる。デジタル・プロセッサのコア・プロセッサは、ローカル・クロック周波数の整数倍で動作する。ローカル・クロック周波数とホスト・クロック周波数とは独立に発生され相互に非同期でありうる。

#### 【0024】

図1は、1群のデジタル信号プロセッサP1-P4を含む本発明の実施例を示すブロック図である。示されているシステムは、ホスト100とメモリ102とを更に含んでいる。ホスト100、メモリ102及びプロセッサP1-P4は、バス・システム104によって相互に接続されている。ホストは、プロセッサP1-P4のそれぞれ及び外部メモリと通信する外部コンピュータを含みうる。外部メモリ102は、同期式ダイナミック・ランダム・アクセス・メモリ（SDRAM）などのデジタル信号処理システムと動作する任意の適切な外部メモリでありうる。データの、各プロセッサへの書き込み又は各プロセッサからの読み出し、更に、メモリへの書き込み又はメモリからの読み出しが可能である。

#### 【0025】

好ましくは、外部バスはパイプライン式のバス（pipelined bus）として動作する。換言すると、データは、アドレスが発行されてから1、2又は3サイクル後に到達するが、これは、それぞれが1、2又は3サイクルのパイプライン遅延に対応している。アドレスはすべてのサイクルにおいて発行されうる。好ましくは、すべての信号はクロック信号の立上りエッジでサンプリングされるが、セットアップ時間及びホールド時間の要件を満足しなければならない。

#### 【0026】

動作の間には、ホスト100は、バス104を介してプロセッサP1-P4又

はメモリ102の中の任意の1つにアクセスすることができる。ホスト100は、ホスト・クロック周波数のホスト・クロックHCLKで動作する。各プロセッサP1-P4は、ホスト・クロックHCLKとローカル・クロックLCLKとを受け取る。ある実施例では、後により詳細に説明されるように、ホスト・クロックHCLKとローカル・クロックLCLKとは独立に発生され相互に非同期でありうる。

#### 【0027】

プロセッサの内部要素を外部バス・システム104に結合する外部パラレル・ポートなどの各プロセッサの周辺部分ないしプロセッサの一部は、ローカル・クロックLCLKの周波数又はホスト・クロックHCLKの周波数のどちらかで動作し得る。ある実施例では、後に説明されるように、この動作はユーザが選択可能である。同様に、メモリも、ローカル・クロックLCLKの周波数又はホスト・クロックHCLKの周波数のどちらかで動作し得る。

#### 【0028】

この実施例では、複数の直列終端された出力を有するバッファ110が、各目的地にホスト・クロックHCLK信号を提供する。この実施例では、各目的地は、ホスト100、各プロセッサP1-P4及びメモリ102を含む。同様に、やはり複数の直列終端された出力を有するバッファ112が、各目的地にローカル・クロックLCLK信号を提供する。この実施例では、各目的地は、ホスト100、各プロセッサP1-P4及びメモリ102を含む。各クロック信号は、バッファから出力され別々のトレースを介して提供される。これらのバッファは、各目的地に同じクロック信号のタイミングが提供されることを保証する。

#### 【0029】

動作の間には、各プロセッサP1-P4とメモリ102との周辺部分はローカル・クロックLCLK周波数で動作する可能性がある。ホスト100がプロセッサP1-P4又はメモリ102の中の1つにアクセスするときには、各プロセッサP1-P4の周辺部分の動作クロック周波数はローカル・クロックLCLKの周波数からホスト・クロックHCLKの周波数に自動的にスイッチングされる。同時に、メモリの動作クロック周波数もまたローカル・クロックLCLKの周波

数からホスト・クロックHCLKの周波数に自動的にスイッチングされる。

#### 【0030】

ある実施例では、ホスト・バス・リクエスト（HBR）又はホスト・バス・グラント（HBG）制御信号がホストによってアサートされるときにスイッチングが生じる。このような制御信号が各プロセッサに提供されると、各プロセッサ内の内部スイッチ（図示せず）にクロック周波数をローカル・クロックLCLKからホスト・クロックHCLKへスイッチングさせる。各プロセッサに対するスイッチ内部は、マルチプレクサと同様な装置を含む。どのようなクロック信号のスイッチングにも、グリッチの抑制（glitch suppression）がプロセッサに求められる。たとえば、1つのクロックがローになるのを待機し、他方のクロックがローになるまでそのクロック出力をホールドし、その時点で最初のクロックを用いて出力を駆動することによってグリッチの抑制が達成できる。

#### 【0031】

ある実施例では、外部アナログ・スイッチ108がホスト・クロックHCLK又はローカル・クロックLCLKの一方を選択してメモリをクロックする。マスタ・プロセッサP3は、適切な時刻においてライン106に沿って制御信号を提供し、アナログ・スイッチ108にホスト・クロックHCLK信号を選択させ、その信号をメモリ102に提供する。スイッチ108は好ましくは低抵抗のアナログ・スイッチであり、スイッチング遅延は0.2ナノ秒未満に維持される。たとえば、スイッチは低抵抗の電界効果トランジスタである。外部スイッチ108に対しては、ローカル・クロックLCLKからホスト・クロックHCLKへのスイッチングはグリッチ・フリー（glitch-free）である必要はなく、その理由は、スイッチ・オーバーの間はメモリ・アクセスが生じていないからである。

#### 【0032】

図1に示されたシステムの別の実施例では、図1のスイッチ108の代わりに図2に示されている内部マルチプレクサ124が設けられる。このシステムは、4つのプロセッサP1-P4、ホスト100及びメモリ102（図1を参照）を

含む。図1のシステムと同様に、ホストはホスト・クロックHCLK周波数で動作し、各プロセッサP1-P4の周辺部分（I/Oポート）は、ホスト・クロックHCLK周波数又はローカル・クロックLCLK周波数のどちらかに等しい周辺部分クロックPCLK周波数で動作する。メモリ102は、ホスト・クロックHCLK周波数又はローカル・クロックLCLK周波数のどちらかに等しいメモリ・クロックMCLK周波数で動作する。

### 【0033】

図1の実施例でのように、ホスト・アクセス（メモリ又はプロセッサ）の際には、周辺部分クロックPCLKとメモリ・クロックMCLKとはホスト・クロックHCLKに自動的にスイッチングされる。このスイッチングは、各プロセッサの内部でマルチプレクサ124によって実行されうる。マルチプレクサ124は、ホスト・バスのアクセス又はグラントの際には自動的にホスト・クロックHCLKにスイッチングするように制御される。マルチプレクサ124の出力は、周辺部分クロックPCLK信号とメモリ・クロックMCLK信号とを含む。1つのマスタ・プロセッサP1-P4を選択して、メモリ・クロックMCLK信号をバス116に沿ってメモリ102に提供することができる。

### 【0034】

図1及び2のシステムに示されている各プロセッサは、図3に示された要素を有するように実現することができる。示されているように、DSP10の主要要素は、計算ブロック12及び14と、メモリ16と、制御ブロック24と、リンク・ポート・バッファ26と、外部ポート28と、DRAMコントローラ30と、命令アライメント・バッファ（IAB）32と、基本命令デコーダ34とである。計算ブロック12及び14と命令アライメント・バッファ32と基本命令デコーダ34と制御ブロック24とが、DSP10の主要な計算及びデータ処理機能を実行するコア・プロセッサを構成する。外部ポート28は、外部アドレス・バス58と外部データ・バス68とを介して外部通信を制御する。外部ポート28がDSP10の周辺部分を構成する。リンク・ポート・バッファ26が通信ポート36を介して外部通信を制御する。DSP10は、好ましくは、1つのモノリシック集積回路として構成される。

## 【0035】

メモリ16は、3つの独立で大容量のメモリ・バンク40、42及び44を含む。ある実施例では、各メモリ・バンク40、42及び44は、32ビットずつの64Kワードの容量を有する。各メモリ・バンク40、42及び44は128ビットのデータ・バスを有する。32ビットずつの4までの連続的な整合されたデータ・ワードを、1クロック・サイクルで各メモリ・バンクとの間で転送することができる。

## 【0036】

DSP10の要素は、効率的で高速の動作のためにバスによって相互接続されている。各バスは、バイナリ情報のパラレルな転送のために複数のラインを含んでいる。第1のアドレス・バス50(MA0)はメモリ・バンク40(M0)と制御ブロック24とを相互接続する。第2のアドレス・バス52(MA1)はメモリ・バンク42(M1)と制御ブロック24とを相互接続する。第3のアドレス・バス54(MA2)はメモリ・バンク44(M0)と制御ブロック24とを相互接続する。アドレス・バス50、52及び54のそれぞれは16ビットの幅である。外部アドレス・バス56(MAE)は外部ポート28と制御ブロック24とを相互接続する。外部アドレス・バス56は、外部ポート28を介して外部アドレス・バス58に接続されている。外部アドレス・バス56及び58のそれぞれは32ビット幅である。第1のデータ・バス60(MD0)は、メモリ・バンク40と、計算ブロック12及び14と、制御ブロック24と、リンク・ポート・バッファ26と、IAB32と、外部ポート28とを相互接続する。第2のデータ・バス62(MD1)は、メモリ・バンク42と、計算ブロック12及び14と、制御ブロック24と、リンク・ポート・バッファ26と、IAB32と、外部ポート28とを相互接続する。第3のデータ・バス64(MD2)は、メモリ・バンク44と、計算ブロック12及び14と、制御ブロック24と、リンク・ポート・バッファ26と、IAB32と、外部ポート28とを相互接続する。データ・バス60、62及び64は、外部ポート28を介して外部データ・バス68に接続される。データ・バス60、62及び64のそれぞれは128ビット幅、外部データ・バス68は64ビット幅でありうる。

## 【0037】

第1のアドレス・バス50と第1のデータ・バス60とは、メモリ・バンク40との間でのデータ転送のためのバスを備えている。第2のアドレス・バス52と第2のデータ・バス62とは、メモリ・バンク42との間でのデータ転送のための第2のバスを備えている。第3のアドレス・バス54と第3のデータ・バス64とは、メモリ・バンク40との間でのデータ転送のための第3のバスを備えている。メモリ・バンク40、42及び44のそれぞれは別個のバスを有しているので、メモリ・バンク40、42及び44へのアクセスは同時に行うことができる。ここで用いられている「データ」とは、バイナリ・ワードを意味し、DSP10の動作と関係する命令又はオペランドのどちらかを表す。典型的な動作モードでは、プログラム命令はメモリ・バンクの1つに記憶され、オペランドは他の2つのメモリ・バンクに記憶される。従って、計算ブロック12及び14には、1クロック・サイクルで1つの命令と2つのオペランドとが提供されうる。後に説明されるように、メモリ・バンク40、42及び44のそれぞれは、1クロック・サイクルで複数のデータ・ワードの読み出し及び書き込みが可能であるように構成されている。各メモリ・バンクから1クロックサイクルで複数のデータ・ワードを同時に転送することが、命令キャッシュ又はデータ・キャッシュを必要とすることなく達成される。

## 【0038】

制御ブロック24は、プログラム・シーケンサ70と、第1の整数ALU72（JALU）と、第2の整数ALU74（KALU）と、第1のDMAアドレス発生器76（DMAGA）と、第2のDMAアドレス発生器78（DMAGB）とを含む。整数ALU72及び74は、異なる時刻において、整数ALU命令を実行しデータ・アドレス発生を実行する。プログラムの実行の間には、プログラム・シーケンサ70が、命令シーケンスのメモリ位置に従って、アドレス・バス50、52、54及び56の1つを介して一連の命令アドレスを供給する。典型的には、メモリ・バンク40、42及び44の1つが命令シーケンスの記憶に用いられる。整数ALU72及び74のそれぞれは、命令によって要求されるオペランドの位置に従って、アドレス・バス50、52、54及び56の1つを介し

てデータ・アドレスを供給する。たとえば、命令シーケンスがメモリ・バンク40に記憶され、要求されたオペランドがメモリ・バンク42及び44に記憶されていると仮定する。この場合には、プログラム・シーケンサは、アドレス・バス50を介して命令アドレスを供給し、以下で説明されるように、アクセスされた命令は命令アライメント・バッファ32に供給される。整数ALU72及び74は、たとえば、アドレス・バス52及び54それぞれにオペランドのアドレスを出力する。整数ALU72及び74によって発生されたアドレスに応答して、メモリ・バンク42及び44は、データ・バス62及び64それぞれを介して計算ブロック12及び14のいずれか又は両方にオペランドを供給する。メモリ・バンク40、42及び44は、命令及びオペランドの記憶に関して相互に交換可能である。

#### 【0039】

プログラム・シーケンサ70と整数ALU72及び74とは、外部ポート28を介して外部メモリ（図示せず）にアクセスすることができる。所望の外部メモリ・アドレスは、アドレス・バス56上に配置される。外部アドレスは、外部・ポート28を介して外部アドレス・バス58に結合される。外部メモリは要求されたワード即ちデータワードを外部データバス68に供給する。外部データは、外部ポート28とデータ・バス60、62及び64の1つとを介して計算ブロック12及び14の一方又は両方に供給される。DRAMコントローラ30が外部メモリを制御する。

#### 【0040】

既に述べたように、メモリ・バンク40、42及び44は、それぞれが32ビットの64kワードの容量を有している。各メモリ・バンクは、128ビット幅のデータ・バスに接続されうる。別の実施例では、各データ・バスは64ビット幅であり、この64ビットはクロック・フェーズ1及びクロック・フェーズ2のそれぞれで転送され、よって、128ビットの有効なバス幅を提供する。各メモリ・バンクにおいて、複数のデータ・ワードへのアクセスは1クロック・サイクルで行うことができる。特に、データへは、32ビットずつの単一、二重（dual）又は四重（quad）ワードとしてアクセスすることができる。二重又は四重のア



クセスのためには、データがメモリにおいて整合されていることが求められる。四重のデータ・アクセスへの典型的な応用例としては、高速フーリエ変換と複素 (complex) F I R フィルタとがある。四重アクセスはまた、二重の正確な動作を補助することになる。好ましくは、命令は四重のワードとしてアクセスされる。しかし、以下で論じられるように、命令がメモリにおいて整合されることは求められない。

#### 【0041】

四重のワード転送を用いると、それぞれが32ビットである4つの命令と8つのオペランドとを1クロック・サイクルで計算ブロック12及び14に供給することができる。転送されるデータ・ワード数と、これらのデータ・ワードが転送される1つ又は複数の計算ブロックとは、命令の中の制御ビットによって選択される。単一、二重又は四重のワードを、計算ブロック12へ、計算ブロック14へ、又はその両方へ転送することができる。二重又は四重のデータ・ワードのアクセスは、複数のオペランドが1クロック・サイクルで計算ブロック12及び14まで転送されるのを可能にすることにより、多くのアプリケーションにおいてDSP10のパフォーマンスを改善する。各クロック・サイクルにおいて複数の命令にアクセスできることによって、複数の動作が各サイクルで実行されることが可能となり、これは、パフォーマンスを向上させる。オペランドが計算ブロック12及び14によって必要とされるよりも高速で供給されることが可能である場合には、DMAアドレス発生器76及び78が用いることができる残されたメモリ・サイクルが存在し、これらの使用されていないサイクルの間に、コア・プロセッサからサイクルを盗むことなく、新たなデータがメモリ・バンク40、42及び44に提供される。最後に、複数のデータ・ワードへのアクセスが可能であることによって、2以上の計算ブロックを用いそれらをオペランドが供給されている状態に維持することが可能となる。単一又は二重のデータ・ワードへのアクセスが可能であることにより、四重のデータ・ワードへのアクセスがなされる構成と比較すると、電力消費を減少させることができる。

#### 【0042】

図3に示されたプロセッサ10では、外部ポート28はプロセッサの周辺部分

で構成され、周辺部分クロックPCLKで動作する。DSP10の残りの成分は、本発明のある実施例では、後で説明されるようにローカル・クロックLCLKの整数倍であるコア・クロックCCLKで動作する。

#### 【0043】

図4は、プロセッサP1のいくつかの成分とこれらの成分の動作の基礎となるクロック信号との一部構造的な一部機能的なブロック図である。示されているプロセッサP1は、コア・クロックCCLK周波数で動作するコア・プロセッサ132と、ローカル・クロックLCLK周波数若しくはホスト・クロックHCLK周波数のどちらか、又はLCLK又はHCLKのどちらかの整数倍で動作する周辺部分126を含む。周辺部分126は、図3に示されているように、外部データ・バス68及び外部アドレス・バス58と通信する外部ポート28で構成されうる。

#### 【0044】

プロセッサ132は、ローカル・クロックLCLK信号とホスト・クロックHCLK信号との両方を入力として受け取る。各入力クロック信号が通過して伝搬遅延を得る遅延校正回路は図4には示されていないが、この回路については、図5を参照して後でより詳細に説明される。図1及び2を参照してすでに述べたように、これらのクロック信号は共にスイッチ124に与えられ、周辺部分126への周辺部分クロックPCLKとして一方が選択される。

#### 【0045】

ローカル・クロックLCLK信号は、周波数乗算器128にも提供される。周波数乗算器128はローカル・クロックLCLKとユーザによって選択された比率とを乗算して積を出力するのであるが、この積が、ライン130を介してコア・プロセッサ132に与えられるコア・クロック信号CCLKである。周波数乗算器は、例えば、X2、X2.5、X3、X3.5、X4の比率を含み、この中の1つがユーザによって選択されコア・クロックCCLKを生じる。

#### 【0046】

本発明のこの実施例によって、コア・プロセッサ132の動作周波数を周辺部分126の動作周波数とは独立に最適化することが可能となる。周辺部分126

の動作周波数は、この周辺部分が外部パラレル・ポートで構成されている場合には、外部バスによって制限されうる。しかし、このような制限は、コア・プロセッサの速度に影響しない。また、本発明によると、周辺部分の動作周波数をコアの動作周波数とは独立に最適化することが可能となる。

#### 【0047】

すでに述べたように、ホスト・クロックHCLKとローカル・クロックLCLKとは独立に発生され、相互に非同期であり得る。例えば、ホスト・クロックHCLKは66MHzであり、ローカル・クロックLCLKは100MHzであり得る。周辺部分126は、ローカル・クロックLCLKで動作するときには、コア・プロセッサ132と同期して動作しているように見える。上述したように、図1及び2を参照すると、ホスト・クロックHCLKでの動作へのスイッチングは、ホストによるアクセス要求の際に自動的に生じる。コア・クロックCCLKはローカル・クロックLCLKと関係し、ローカル・クロックLCLKはホスト・クロックHCLKと非同期的に関係しているから、周辺部分126は、(ホスト・クロックHCLK周波数で動作しているときには) コア・プロセッサ132と非同期的に動作しているように見える。このような動作を与えるために、非同期インターフェース(図4には示されていない)が周辺部分126とコア・プロセッサ132との間に存在する。これについては後でより詳細に説明される。

#### 【0048】

バスが動作する高速が与えられると、周辺部分クロックPCLKとメモリ・クロックMCLKとにおけるスキューは最小化されるはずである。更に、コア・クロックCCLKにおけるスキューは周波数乗算器において除去されるはずである。本発明のある実施例では、遅延校正ループが用いられて、不所望のスキューを校正して除去する。遅延校正回路への入力はLCLK又はHCLKの入力クロック信号である。乗算器は、2つの間で選択することができる。好ましくは、そして、別の場合には、2つの遅延校正回路を、各入力クロック信号に1つずつ用いることもできる。

#### 【0049】

本発明のプロセッサと共に用いられる例示的な遅延校正回路が、図5にブロッ

ク図形式で示されている。このような遅延校正回路は、LCLK又はHCLKに対して用いられうる。遅延校正回路によって、プロセッサへの（又は、プロセッサからの）データのラッチが正確にクロック信号の立上りエッジにおいてなされることが保証され、配分ツリー（distribution tree）などのプロセッサ要素を介する信号の伝搬遅延が与えられる。この回路により、ラッチ制御信号が、適切なクロック信号の立上りエッジよりも遅延時間周期だけ前にアサートされる。遅延ロック・ループ（DLL）が、入力クロック信号に類似し同相であるがクロック信号の内部入力伝搬遅延を1周期から減算した分だけ遅延している別のクロック信号を提供する。この別のクロックにより、ラッチが、与えられた伝搬遅延を有するクロック信号の立上りエッジにおいて、適切な時刻にデータをラッチ・イン又はラッチ・アウトすることが可能となる。

#### 【0050】

示されているように、遅延校正回路は、DLL136と、遅延要素138と、遅延要素140とを含む。遅延要素138はDLL136によって出力された信号に $T_2$ の遅延を提供し、この遅延 $T_2$ はラッチ158とドライバ160とで構成される出力駆動パッドの出力遅延に対応する。遅延140は、 $T_1$ の遅延を信号入力に提供し、この遅延 $T_1$ は154、156及び166に示されている配分ツリーを通過する信号の伝搬遅延に対応する。

#### 【0051】

DLL136は、位相検出器142と、制御回路144と、インバータ・チェーン146とを含む。データがプロセッサの中にラッチされるときに、信号pdにより、ラッチ164が信号pdの立上りエッジにおいてデータをラッチ・インすることが可能となる。遅延回路140によって出力される信号pdは配分ツリー166のそれに対応する遅延 $T_1$ を有する。DLL136によって、ライン148上のDLLへの周辺部分のクロックPCLK入力がクロック信号pdと同期しておりラッチ164がPCLKの立上りエッジから伝搬遅延を減算したものと同期的にラッチされることが保証される。同様に、ラッチ158とドライバ160とをイネーブルするものを含む出力駆動パッドに提供された信号は入力クロックの立上りエッジと同期しており、適切な遅延を与える。このように、実際のラ

ッチ制御信号は、入力であっても出力であっても、当初の入力クロック周期から配分ツリー及び／又は出力パッドとは無関係にそれに与えられた適切な遅延を減算した時点よりも1クロック信号周期分だけ後にアサートされる。

#### 【0052】

図6は、本発明の各プロセッサ内部で用いられる例示的な外部ポート・ブロック28のブロック図である。記載されているように、外部ポート28は、相互に非同期であるローカル・クロックLCLK又はホスト・クロックHCLKに等しい周辺部分クロックPCLKで動作する。外部ポートは、外部データ・バス68（この実施例では、64ビット幅）を介してデータを受信及び送信し、アドレス・バス58（この実施例では、32ビット幅）を介してアドレスを受信及び送信する。

#### 【0053】

異なる（マスタ）プロセッサから受け取られたコマンドに基づき、（スレーブ）プロセッサによって、多くの動作を実行することができる。これらの動作は外部ポート・ブロックを介して通信される。これらの動作はスレーブ・プロセッサからのデータの読み出しとマスタ・プロセッサへのデータの書き込みとを含む。多数の異なる読み出し及び書き込み動作が入手可能である。入手可能なこれらの特定の読み出し及び書き込み動作は特に本発明の一部を形成することはないが、本発明によるクロッキング方式を用いることの効果を説明するのに役立つ。

#### 【0054】

示されているように、外部ポート・ブロックは、入力先入れ先出し（FIFO）バッファ170、出力FIFO172及び出力バッファ174を含む。入力FIFO170、出力FIFO172及び出力バッファ174は、図3を参照して既に説明されたように、マルチプレクサ及びドライバ・ブロック176を介して内部データ・バス60、62、64及び56と通信する。

#### 【0055】

本発明の外部ポート・ブロックはコア・プロセッサと非同期的に動作し得るので、読み出しであっても書き込みであっても受信されたコマンド信号が有効であり適切な時刻にラッチ・インされることを保証するのに、再同期回路が用いられ

る。コマンド信号は、クロック信号の立上りエッジにおいてラッチ・インされなければならない。コマンドは、外部ポート・ブロックによって受け取られると、そこでラッチされる。そして、図7に示された再同期ラッチ回路190を介して提供される。

#### 【0056】

例として、書き込み動作及び読み出し動作が、図7を参照しながら次に説明される。書き込み動作の間には、書き込みコマンドがマスタ・プロセッサからスレーブ・プロセッサに提供される。マスタ・プロセッサは、書き込まれるべきデータのアドレスと書き込まれるべき実際のデータとをその出力FIFO172にプット（put）する。書き込まれる側のスレーブ・プロセッサは、マスタ・プロセッサから受け取られたアドレスとデータとをその入力FIFO170にプットする。

#### 【0057】

読み出し動作の間には、読み出しコマンドがマスタ・プロセッサからスレーブ・プロセッサに提供される。マスタ・プロセッサは、（データが読み出されるべき場所からの）アドレスをその出力FIFO172にプットする。スレーブ・プロセッサは受け取られたアドレスをその入力FIFO170にプットする。データは、いったん読み出されると、スレーブ・プロセッサの出力バッファ174にプットされ、スレーブ・プロセッサは出力FIFO172をバイパスする。

#### 【0058】

書き込みコマンド信号などのコマンド信号が受信されると、再同期ラッチ回路190が、そのコマンド信号が有効であると認められる前に遅延を生じさせ、そう認められた時点で入力FIFO170へのデータの書き込みが実行される。まず最初に、書き込みコマンド信号が、コア・クロックCCLK信号の立上りエッジにおいてアービトレーション・ラッチ192によってラッチされる。次に、書き込みコマンド信号が、遅延時間周期である $t$ だけ後にコア・クロックCCLKの立上りエッジにおいてラッチ194によってラッチされる。ある実施例では、この時間周期 $t$ は3ナノ秒に等しくすることができる。アービトレーション・ラッチは非常に高速であると考えべきである。次に、遅延 $t$ は、コマンド信号が

第2のラッチによってラッチされる前に生じ、それによって、コマンド信号は適切な動作が実行されるまで有効であると見なされる。この実施例では、ラッチ194の出力がDフリップフロップ196をクロックし、Dフリップフロップ196がコンパレータ198を制御して動作を開始させる。しかし、本発明はそのように限定されるわけではない。

#### 【0059】

第2のラッチがコマンド信号にいったんラッチすると、動作が実行されうる。この実施例では、書き込みカウンタ200の内容がコンパレータ198によって読み出しカウンタ202の内容と比較される。書き込みカウンタ200は、入力FIFO170における位置が書き込みされる度に更新される。同様に、読み出しカウンタ202は、ある位置が読み出される度に更新される。書き込みカウンタ200の内容が読み出しカウンタ202の内容と等しいときには、書き込みポインタは読み出しポインタと同じ位置を指し、指された位置が空であることを示している。従って、その位置にデータを書き込むことができる。ここで示され説明されたもの以外の方法を、この目的のために用いることもできる。

#### 【0060】

示されているように、入力FIFOに対しては、書き込みカウンタ200はホスト・クロックHCLKによって制御され、読み出しカウンタ202はローカル・クロックLCLKによって制御される。再同期ラッチが入力FIFOに結合されているように示されてきたが、同様の回路を出力FIFOに対して同じように用いることができる。出力FIFO（図示せず）のためには、書き込みカウンタはコア・クロックCCLKによって制御され、読み出しカウンタはホスト・クロックHCLKによって制御される。

#### 【0061】

以上で本発明の少なくとも1つの実施例を説明したが、この技術分野の当業者にとっては、様々な変更、修正及び改良が容易である。このような変更、修正及び改良は、本発明の精神と範囲とに含まれることが意図されている。従って、以上の説明は単に例示に過ぎず、制約を意図してはいない。本発明は、冒頭の特許請求の範囲及びその均等物とによって定義されたものだけによって画定される。

**【図面の簡単な説明】**

本発明をよりよく理解するために、添付の図面を参照する。

**【図 1】**

本発明の 1 つの実施例による 1 群のプロセッサを含むシステムのブロック図である。

**【図 2】**

図 1 に示されたシステムの別の実施例のブロック図である。

**【図 3】**

本発明と共に用いることができる例示的なプロセッサの内部要素のブロック図である。

**【図 4】**

いくつかのプロセッサの要素とこれらの要素の動作の基礎となる異なるクロック信号との一部機能的な一部構造的なブロック図である。

**【図 5】**

本発明のプロセッサと共に用いることができる例示的な遅延較正回路のブロック図である。

**【図 6】**

本発明のプロセッサの内部で用いることができる例示的な外部ポート・ブロックのブロック図である。

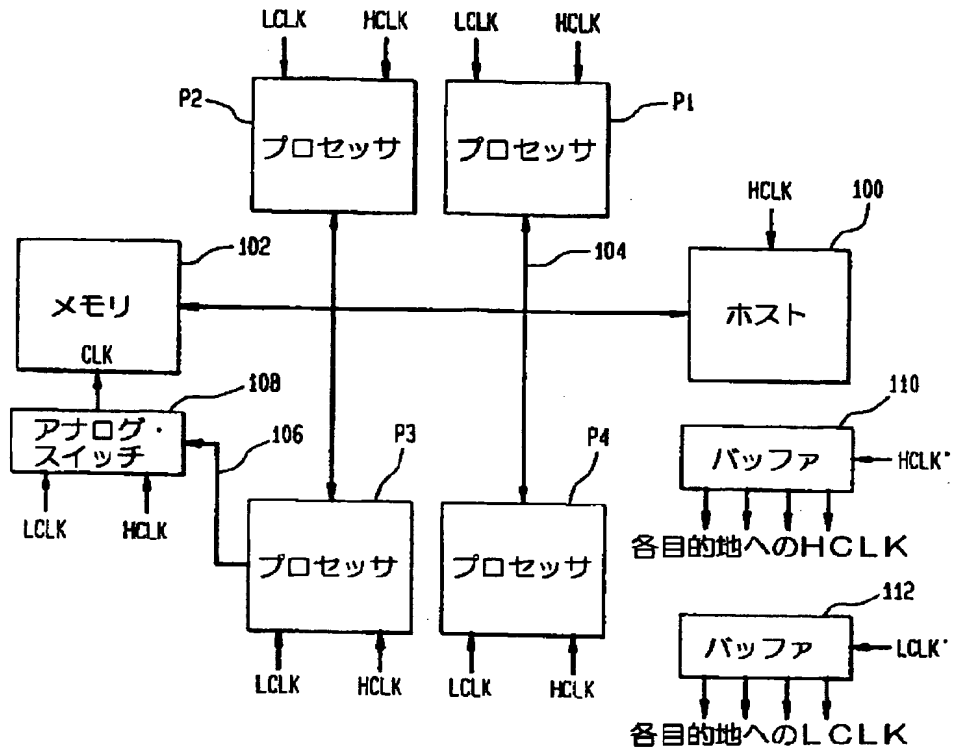
**【図 7】**

本発明のプロセッサの内部で用いることができる再同期回路の一部機能的な一部構造的なブロック図である。



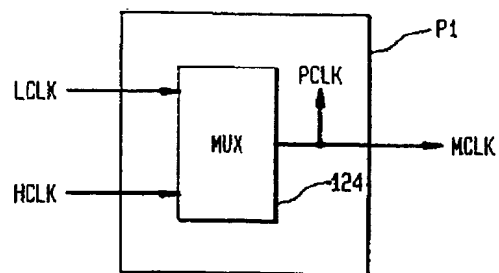
【図1】

【FIG. 1】

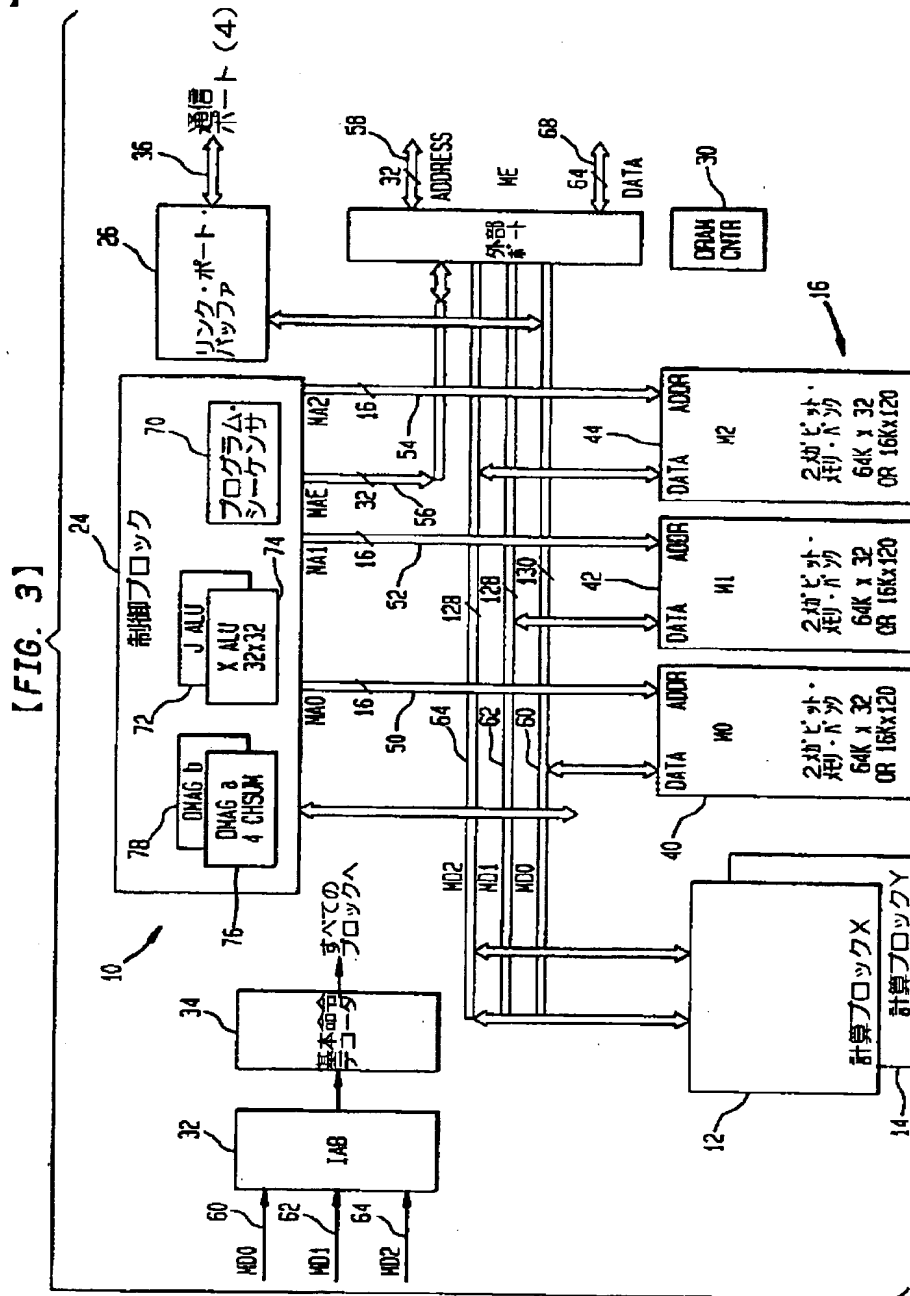


【図2】

FIG. 2

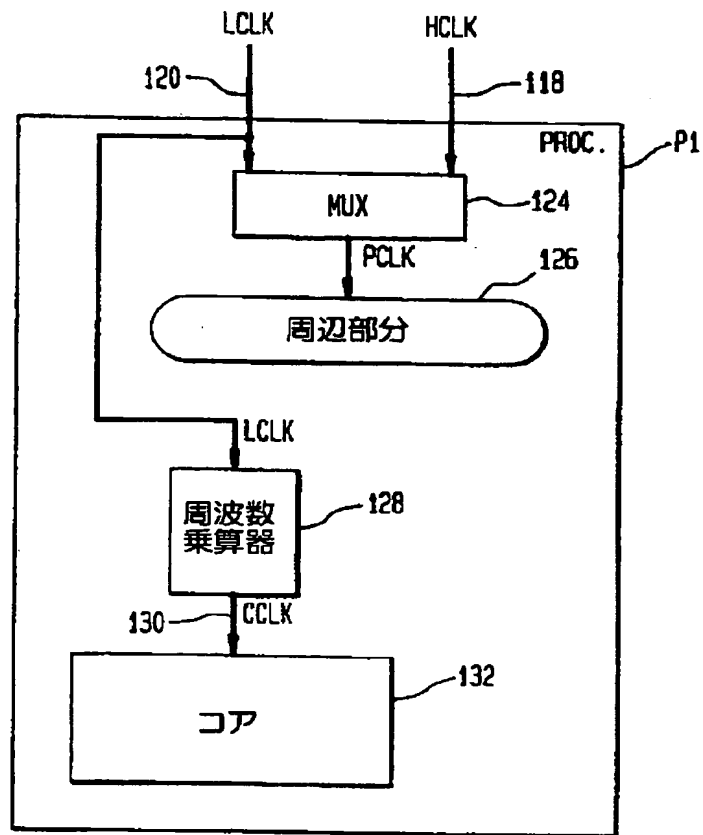


【図3】

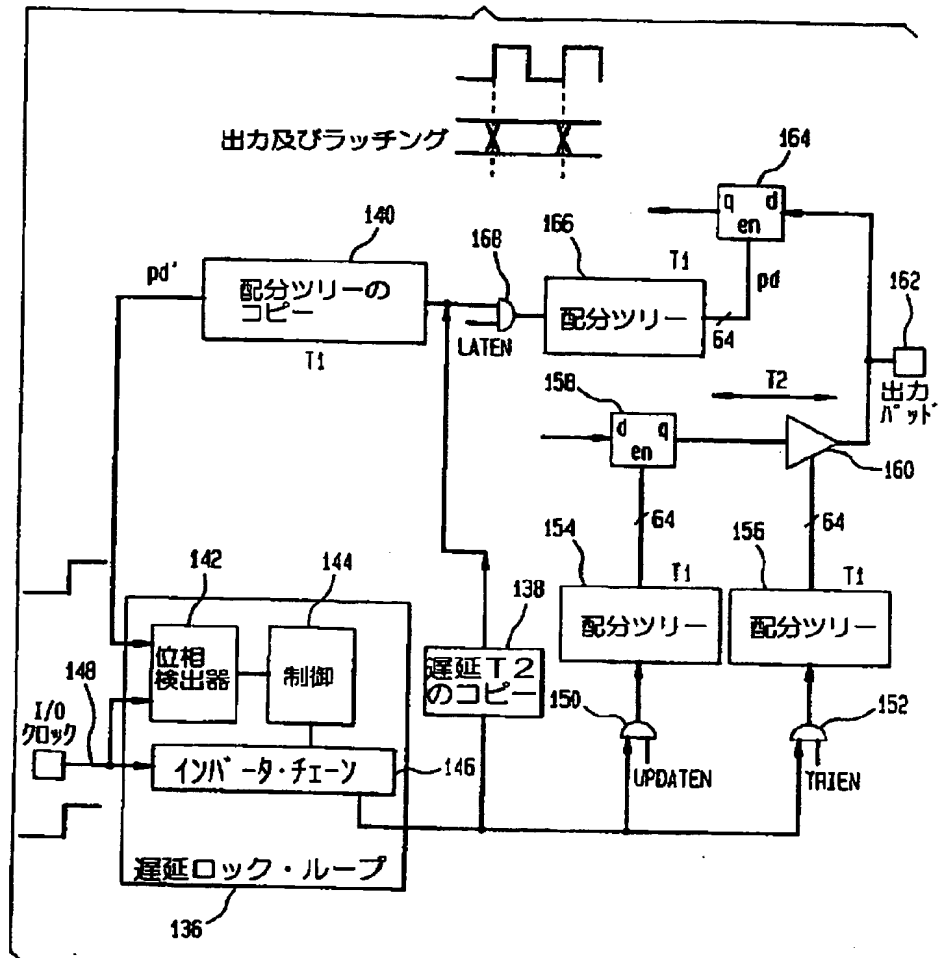


【図4】

【FIG. 4】

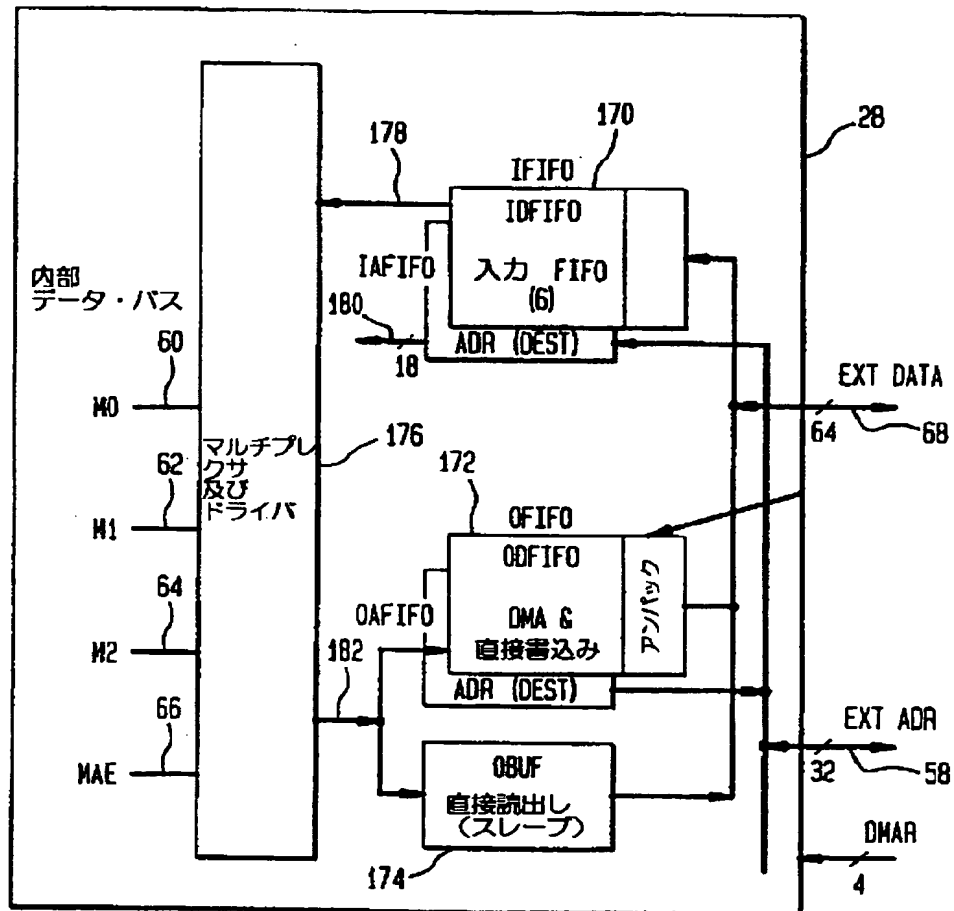


**【FIG. 5】**

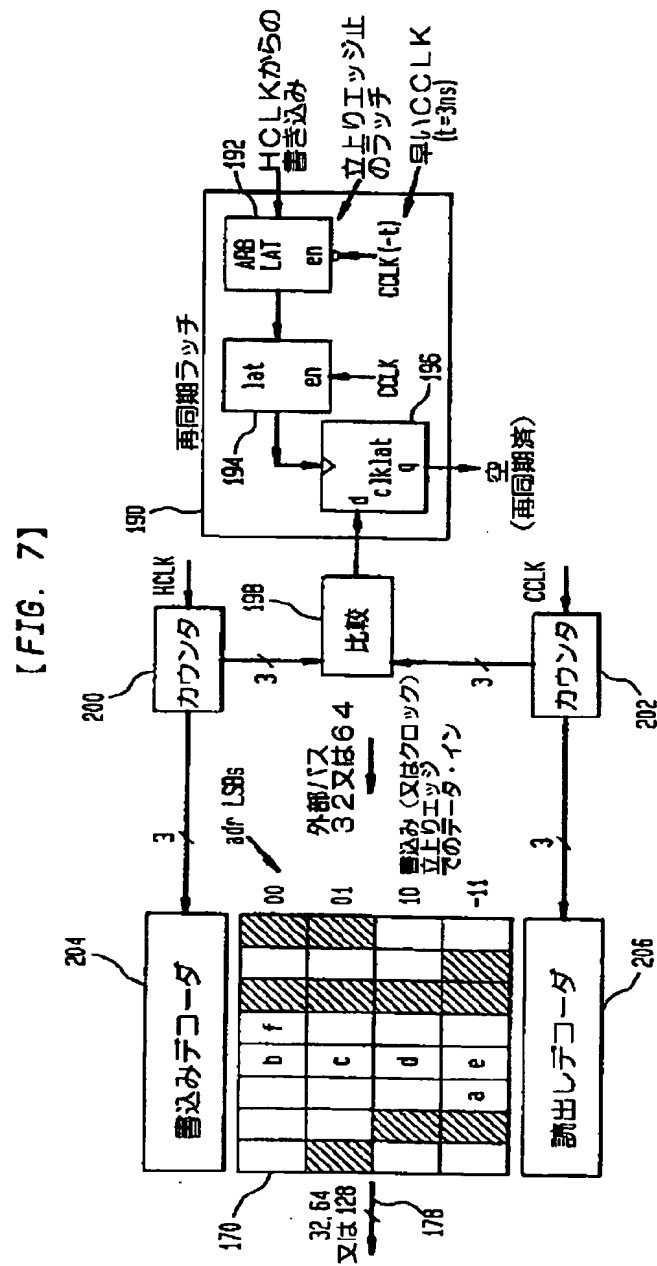


【図 6】

【FIG. 6】



【図 7】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年3月16日(2000.3.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 デジタル信号プロセッサ(P1)であって、

ホスト・クロック周波数(HCLK)又はローカル・クロック周波数(LCLK)で動作可能な外部パラレル・ポート(126)と、

前記ホスト・クロック周波数(HCLK)と前記ローカル・クロック周波数(LCLK)との間で選択する手段(124)と、

前記外部パラレル・ポート(126)に結合されており、ローカル・クロック周波数(LCLK)の整数倍であるコア・クロック周波数(CCLK)で動作するコア・プロセッサ(132)と、

前記外部パラレル・ポート(126)と前記コア・プロセッサ(132)との間に結合されておりコマンド信号を受け取り、コア・クロック信号(CCLK)に続く遅延された時間周期を前記コマンド信号にラッチする再同期回路(190)と、

を備えて、

前記ローカル・クロック周波数(LCLK)とホスト・クロック周波数(HCLK)とは非同期であることを特徴とするデジタル信号プロセッサ。

【請求項2】 請求項1記載のデジタル信号プロセッサにおいて、ユーザは前記外部パラレル・ポート(126)の動作のために前記ホスト・クロック周波数(HCLK)と前記ローカル・クロック周波数(LCLK)との間で選択することができることを特徴とするデジタル信号プロセッサ。

【請求項3】

削除

【請求項4】 デジタル信号処理システムであって、

各プロセッサ（P<sub>n</sub>）が外部ポート（28）を介して外部バス・システム（104）によって別のプロセッサに接続されている複数のプロセッサ（P<sub>1</sub>, P<sub>2</sub> . . . . . P<sub>n</sub>）であって、各プロセッサ（P<sub>n</sub>）の外部ポート（28）はローカル・クロック周波数（LCLK）、ホスト・クロック周波数（HCLK）又は前記ローカル・クロック周波数（LCLK）若しくはホスト・クロック周波数（HCLK）の整数倍で動作する、複数のプロセッサ（P<sub>1</sub>, P<sub>2</sub> . . . . . P<sub>n</sub>）と、

前記複数のプロセッサの中の各プロセッサと前記外部バス・システム（104）を介して接続されており、前記ホスト・クロック周波数（HCLK）で動作し、前記外部バス・システム（104）を介して各プロセッサ（P<sub>n</sub>）にアクセスすることができるホスト（100）と、

前記プロセッサ（P<sub>n</sub>）の中の1つにホストがアクセスする際には、各プロセッサの外部ポート（28）のクロック周波数は前記ホスト・クロック周波数（HCLK）で動作するように切り替えるスイッチ（124）と、

を備えることを特徴とするデジタル信号処理システム。

【請求項5】 請求項4記載のデジタル信号処理システムにおいて、前記ホスト（100）と前記プロセッサ（P<sub>n</sub>）の中の少なくとも1つとに前記外部バス・システム（104）を介して接続された外部メモリ（102）を更に含んでおり、前記メモリ（102）は前記ローカルクロック周波数（LCLK）又は前記ホスト・クロック周波数（HCLK）のどちらかで動作し、ホスト・アクセスの際には、前記メモリ（102）のクロック周波数は前記ホスト・クロック周波数で動作するようにスイッチ（108）で自動的に切り替えられることを特徴とするデジタル信号処理システム。

【請求項6】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサの各外部パラレル・ポート（28）の動作のクロック周波数はユーザによって制御されることを特徴とするデジタル信号処理システム。

【請求項7】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサの中に配置されておりローカル・クロック（LCLK）とホスト・クロック



ク(HCLK)とを受け取り、前記外部パラレル・ポート(28)の動作のために一方を選択するスイッチ(124)を更に含むことを特徴とするデジタル信号処理システム。

【請求項8】 請求項5記載のデジタル信号処理システムにおいて、前記メモリ(102)のクロック周波数はマスタ・プロセッサ(P3)によってどちらに接続されるべきか制御されることを特徴とするデジタル信号処理システム。

【請求項9】 請求項4記載のデジタル信号処理システムにおいて、各プロセッサ(Pn)は前記ローカル・クロック周波数(LCLK)の整数倍で動作するコア・プロセッサ(132)を含み、前記ローカル・クロック周波数は前記ホスト・クロック周波数(HCLK)と非同期であり、

前記コア・プロセッサ(132)と前記外部パラレル・ポート(28)との間に結合されて、コマンド信号を受け取り、コア・クロック信号(CCLK)に続く遅延された時間周期を前記コマンド信号にラッチする再同期回路(190)を含む、

ことを特徴とするデジタル信号処理システム。

【請求項10】

削除

【請求項11】 デジタル信号を処理する方法であって、

バス・システム(104)を介してホスト(100)を複数のデジタル信号プロセッサ(p1, P2……Pn)に接続するステップと、

各プロセッサ(Pn)の外部ポート(28)をローカル・クロック周波数(LCLK)、ホスト・クロック周波数(HCLK)又は前記ローカル・クロック周波数(LCLK)若しくはホスト・クロック周波数(HCLK)の整数倍で動作させるステップと、

前記プロセッサ(Pn)の中の1つのホスト(100)によるアクセスの際には各プロセッサ(Pn)の外部ポート(28)の動作を前記ホスト・クロック周波数(HCLK)に自動的にスイッチングするステップと、

を含む方法。

【請求項12】 請求項11記載の方法において、各デジタル信号プロセッ

サ (P<sub>n</sub>) のコア・プロセッサ (132) を前記ローカル・クロック周波数 (LCLK) の整数倍で動作させるステップであって、前記ローカル・クロック周波数 (LCLK) は前記ホスト・クロック周波数 (HCLK) と非同期であることを特徴とする方法。

【手続補正書】

【提出日】平成12年12月8日(2000.12.8)

【手続補正1】

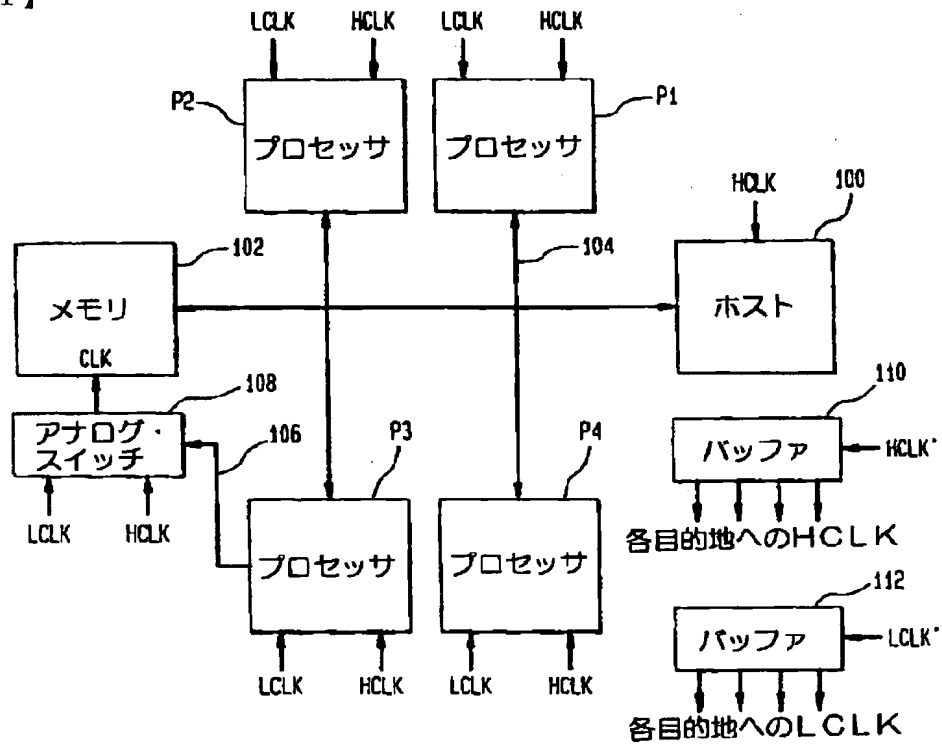
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正2】

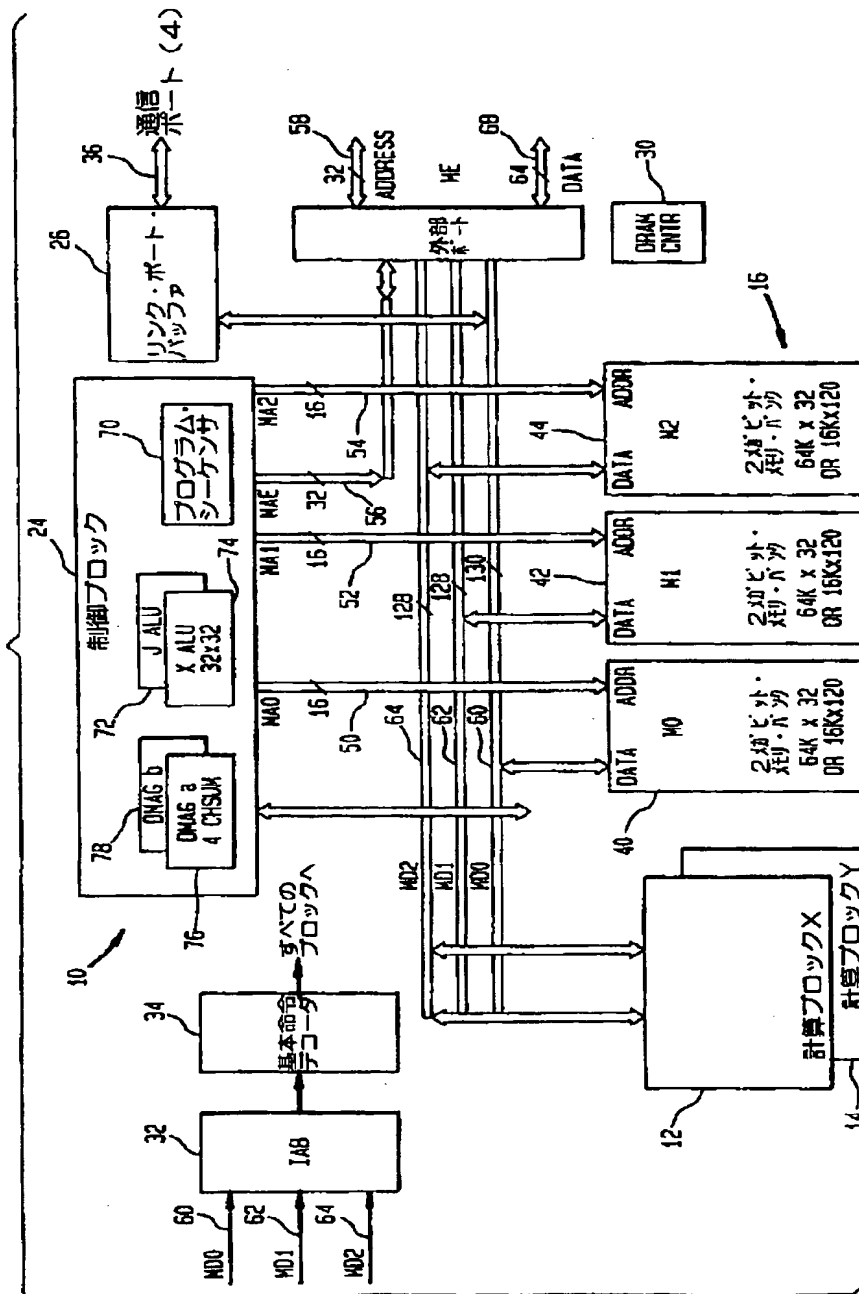
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正3】

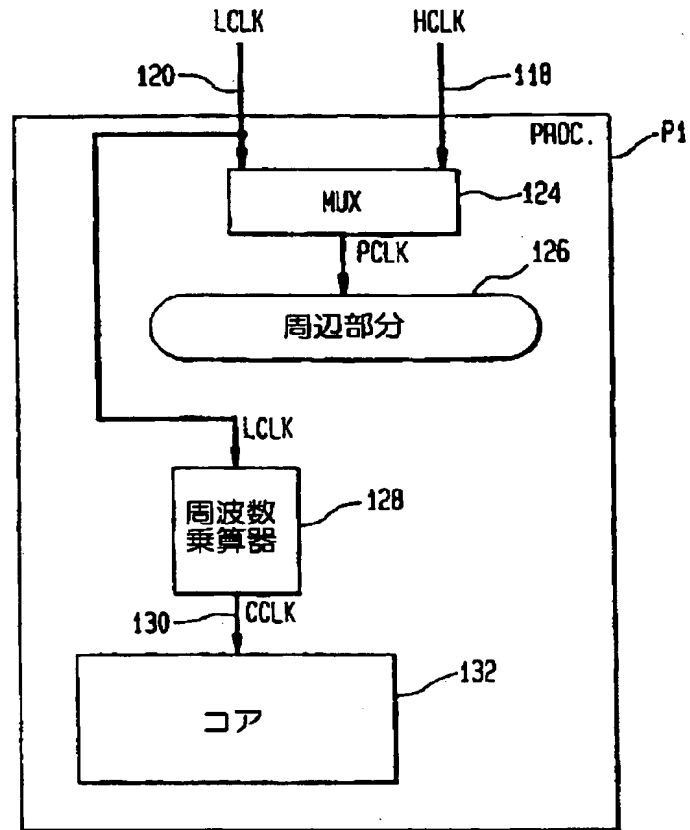
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正4】

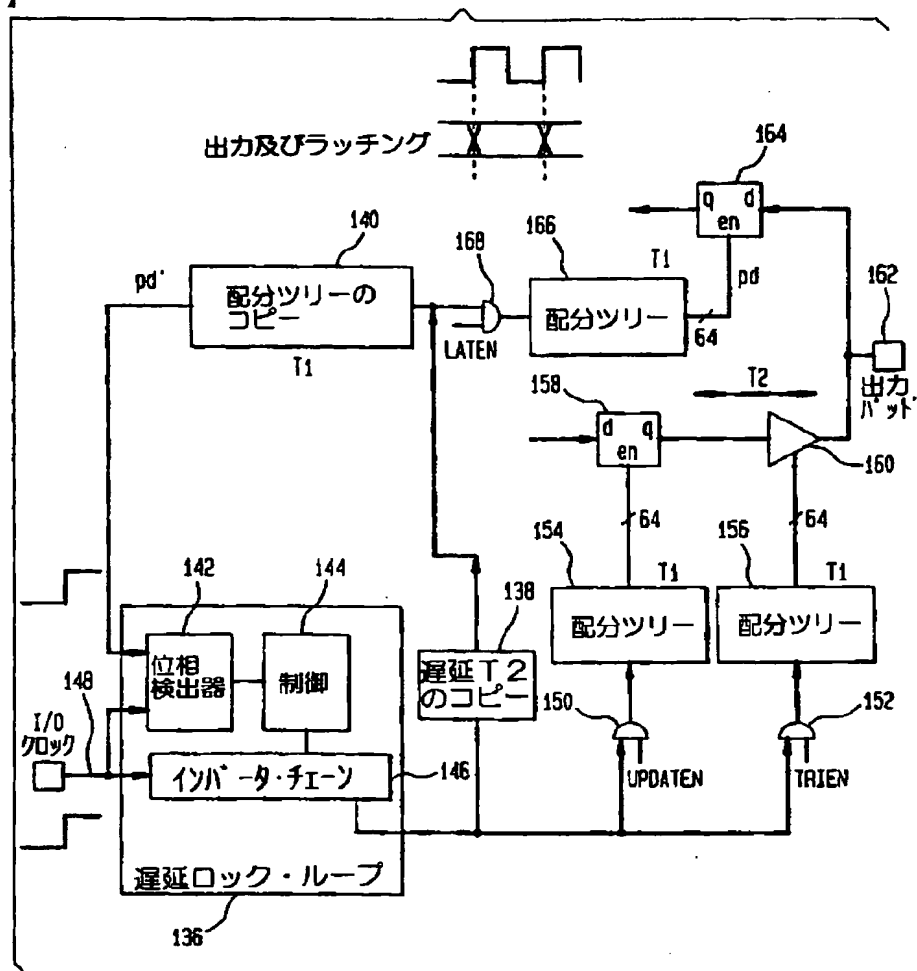
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



【手続補正5】

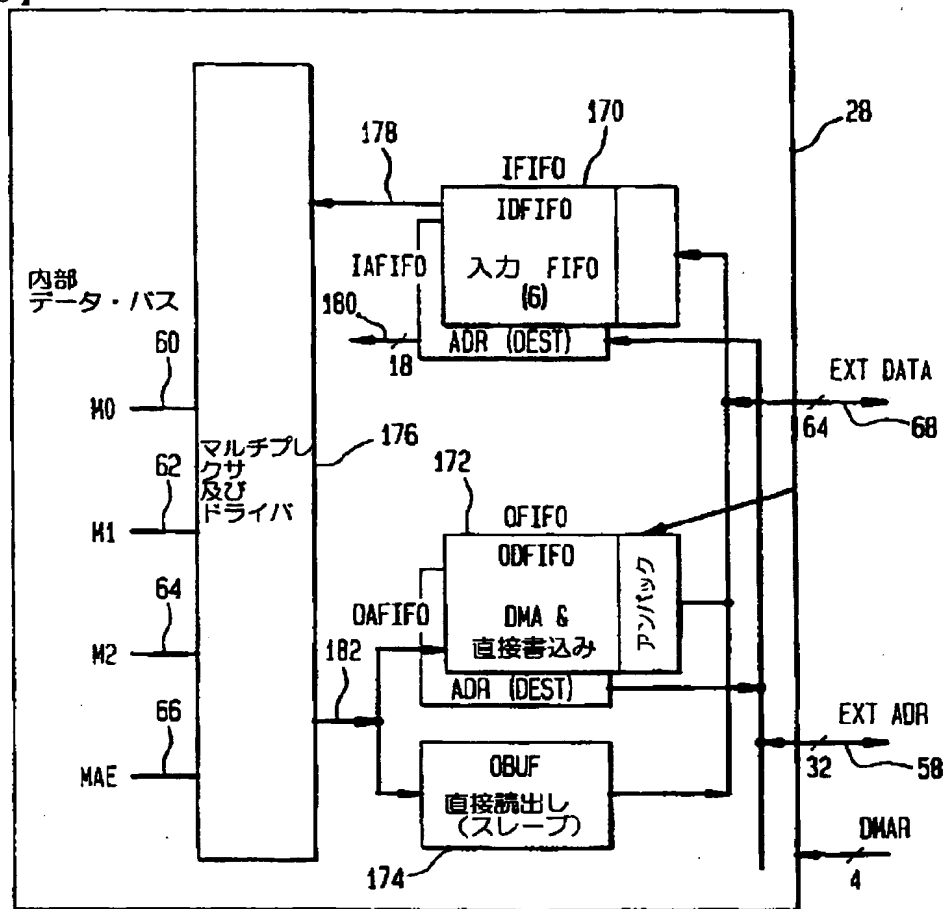
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図 6】



【手続補正 6】

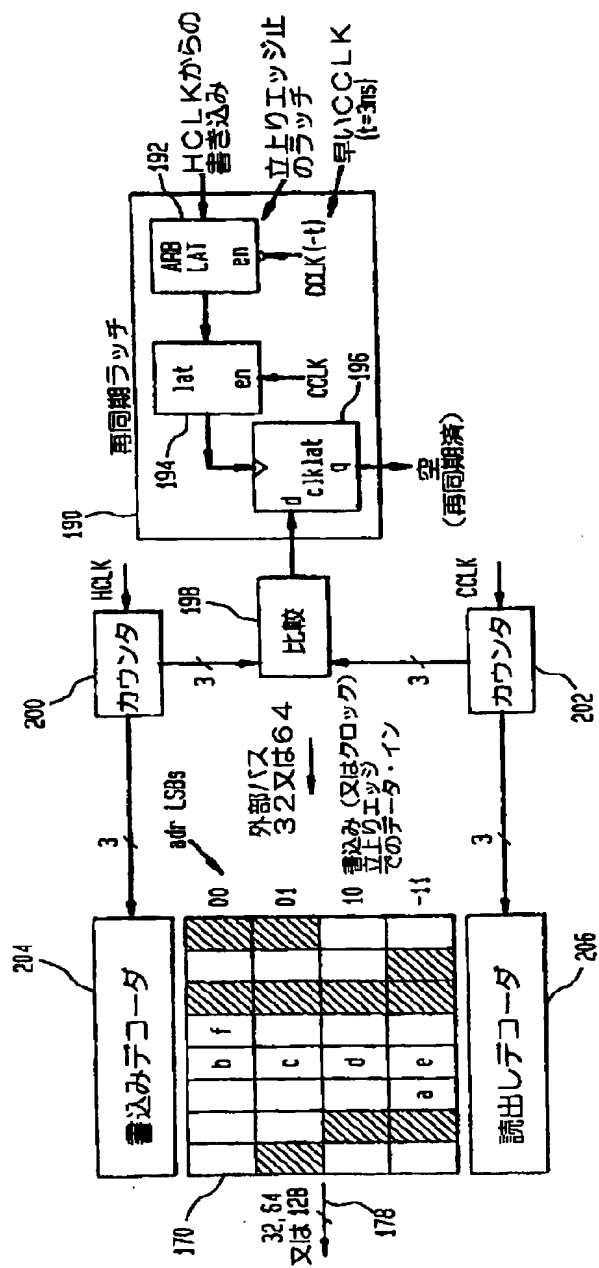
【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正内容】

【図 7】





## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 6 G06F13/42		Inter. Appl. Application No. PCT/US 98/19277
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 611 075 A (GARDE DOUGLAS) 11 March 1997 see column 1, line 46 - column 2, line 2 see column 2, line 66 - column 3, line 15 see column 1; figure 1	1-12
A	US 5 649 208 A (OZ OVED ET AL) 15 July 1997 see column 1, line 39 - column 2, line 20 see column 14, line 21 - column 16, line 12 see abstract; figures 18-22	1-12
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 28 January 1999		Date of mailing of the international search report 04/02/1999
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentstein 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 551 epo nl Fax: (+31-70) 340-9019		Authorized officer Nguyen Xuan Hiep, C

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/19277

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5611075 A	11-03-1997	AU 4194196 A	02-05-1996
		EP 0784823 A	23-07-1997
		JP 10509540 T	14-09-1998
		WO 9610904 A	18-04-1996
US 5649208 A	15-07-1997	EP 0545581 A	09-06-1993
		US 5592677 A	07-01-1997
		US 5625828 A	29-04-1997
		US 5511219 A	23-04-1996
		US 5519879 A	21-05-1996
		US 5487173 A	23-01-1996
		US 5590357 A	31-12-1996
		US 5596764 A	21-01-1997
		US 5491828 A	13-02-1996
		US 5603017 A	11-02-1997
		US 5613149 A	18-03-1997
		US 5606714 A	25-02-1997
		US 5638306 A	10-06-1997